

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-313930

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

H01L 21/822  
H01L 21/3205  
H01L 21/60  
H01L 23/12  
H01L 27/04

(21)Application number : 2001-112640

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 11.04.2001

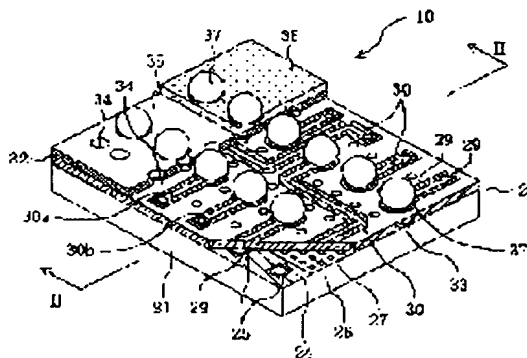
(72)Inventor : SHIMOISHIZAKA NOZOMI  
SAWARA RYUICHI  
KAINO NORIYUKI  
NAKAMURA YOSHIFUMI  
KUMAKAWA TAKAHIRO  
WATASE KAZUMI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which the reflection and loss of a signal are reduced, and its manufacturing method.

SOLUTION: The semiconductor device 10 has such a structure that a first shield line 26 and a second shield line 35 connected with a reference potential electrode 23 are provided around a metal wire 30 having characteristic impedance which can be kept at a substantially constant level at the time of signal transmission. Consequently, the reflection and loss of the signal can be reduced at the time of high speed signal transmission.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2002-313930  
(P2002-313930A)

(43)公開日 平成14年10月25日(2002. 10. 25)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームト <sup>*</sup> (参考)
H 0 1 L 21/822		H 0 1 L 23/12	5 0 1 P 5 F 0 3 3
21/3205		27/04	H 5 F 0 3 8
21/60		21/88	S
23/12	5 0 1	27/04	E
27/04		21/92	6 0 4 H
審査請求 未請求 請求項の数13 O L (全 11 頁) 最終頁に続く			

(21)出願番号 特願2001-112640(P2001-112640)

(22)出願日 平成13年4月11日(2001. 4. 11)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 下石坂 望

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 佐原 隆一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外7名)

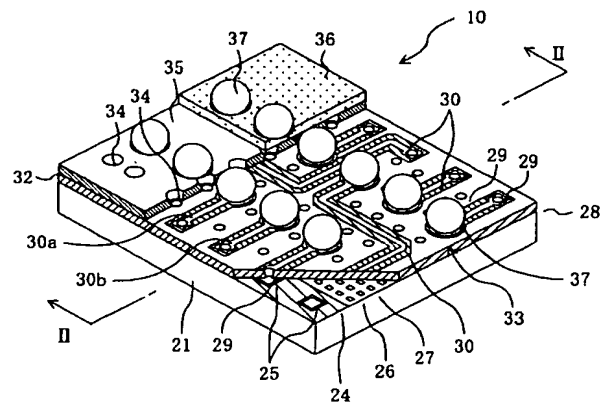
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 信号の反射および損失を低減した半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置10は、基準電位電極23に接続された第1シールド配線26と第2シールド配線35とが金属配線30の周囲に設けられた構造を有し、信号伝送時の金属配線の特性インピーダンスをほぼ一定に維持することができる。このため、高速信号伝送時の信号の反射および損失を減少させることができる。



26, 35 は、GND (F) に  
30 に 26, 35 の 2 層構造を形成する。

## 【特許請求の範囲】

【請求項 1】 半導体回路を備える半導体基板と、  
上記半導体基板の上面上に設けられ、上記半導体回路に  
接続された内部電極と、  
上記半導体基板の上面上のうち、上記内部電極を除く領  
域に形成された保護膜と、  
上記保護膜を覆うように形成された第 1 シールド配線  
と、  
上記第 1 シールド配線を覆うように形成された第 1 絶縁  
膜と、  
上記第 1 絶縁膜上に形成され、上記内部電極に接続され  
た金属配線と、  
上記金属配線と電気的に接続された外部電極と、  
上記金属配線を覆うように形成された第 2 絶縁膜と、  
上記第 2 絶縁膜を覆うように形成された第 2 シールド配  
線と、  
を備えることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、  
上記内部電極の上部は、導体バリア膜であり、  
上記第 1 シールド配線と上記導体バリア膜とは、1 つの  
導体膜をパターンニングすることによって同時に形成され  
ていることを特徴とする半導体装置。

【請求項 3】 請求項 1 に記載の半導体装置において、  
上記第 1 絶縁膜は、上記第 1 シールド配線を貫通して上  
記保護膜と接着されているプラグ部を備えることを特徴  
とする半導体装置。

【請求項 4】 請求項 1 に記載の半導体装置において、  
上記外部電極上に金属ボールが接合されていることを特  
徴とする半導体装置。

【請求項 5】 請求項 1 に記載の半導体装置において、  
上記内部電極は、少なくとも 1 つの基準電位電極を含  
み、  
上記第 1 シールド配線と上記第 2 のシールド配線とは、  
上記基準電位電極と電気的に接続されていることを特徴  
とする半導体装置。

【請求項 6】 請求項 1 に記載の半導体装置において、  
上記金属配線が、その上下において、それぞれ上記第 1  
絶縁膜と上記第 2 絶縁膜とを挟んで、上記第 1 シールド  
配線と上記第 2 シールド配線とに対向してなるストリッ  
プライン構造を構成していることを特徴とする半導体装  
置。

【請求項 7】 請求項 1 に記載の半導体装置において、  
上記金属配線のうち 2 本以上の配線は、特性インピーダ  
ンスが等しいことを特徴とする半導体装置。

【請求項 8】 請求項 1 に記載の半導体装置において、  
上記導体バリア膜と上記第 1 絶縁膜とは、互いに選択的  
にエッチングが可能な材料により構成されていることを  
特徴とする半導体装置。

【請求項 9】 請求項 1 に記載の半導体装置において、  
上記金属配線と上記第 2 シールド配線とは、互いに選択

的にエッチングが可能な材料により構成されていること  
を特徴とする半導体装置。

【請求項 10】 半導体回路を有する半導体基板と、上  
記半導体基板の上面上に設けられ、上記半導体回路に接  
続された内部電極と、上記半導体基板の上面上の上記内  
部電極を除く領域に形成された保護膜とを備える基板を  
用意する工程 (a) と、  
上記工程 (a) の後、基板上に導体膜を形成する工程  
(b) と、

10 上記導体膜をパターンニングすることによって、上記内部  
電極上の少なくとも一部を覆う導体バリア膜と、上記保  
護膜の一部を覆う第 1 シールド配線とを形成する工程  
(c) と、

上記工程 (c) の後、基板上に第 1 絶縁膜を堆積する工  
程 (d) と、

上記第 1 絶縁膜をパターンニングすることによって、上記  
導体バリア膜の少なくとも一部を露出させる工程 (e)  
と、

上記第 1 絶縁膜上に、上記導体バリア膜に接続された金  
属配線を形成する工程 (f) と、

上記工程 (f) の後、基板上に第 2 絶縁膜を形成する工  
程 (g) と、

上記工程 (g) の後、基板上に第 2 シールド配線を形成  
する工程 (h) と、

を含む半導体装置の製造方法。

【請求項 11】 請求項 10 に記載の半導体装置の製造  
方法において、

上記工程 (c) の途中または後で、上記第 1 シールド配  
線に開口部を形成する工程をさらに含むことを特徴とす  
る半導体装置の製造方法。

【請求項 12】 請求項 10 に記載の半導体装置の製造  
方法において、

上記工程 (h) の前に、上記第 2 絶縁膜を貫通して上記  
金属配線に到達する第 1 開口部を形成する工程 (i)  
と、

上記工程 (h) の後で、基板上に第 3 絶縁膜を形成する  
工程 (j) と、

上記第 3 絶縁膜を貫通して、上記第 1 開口部及びその周  
辺に位置する上記第 2 シールド配線に到達する第 2 開口  
部を形成する工程 (k) と、

上記第 3 絶縁膜をエッチングマスクとして、上記第 2 シ  
ールド配線のうちの上記第 2 開口部内に位置する部分を  
除去することによって、外部電極を形成する工程 (l)  
とをさらに含むことを特徴とする半導体装置の製造方  
法。

【請求項 13】 請求項 12 に記載の半導体装置の製造  
方法において、

上記工程 (l) の後に、上記外部電極上に金属ボールを  
接合する工程をさらに備えることを特徴とする半導体装  
置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の集積回路部を保護し、かつ外部装置と半導体素子の電気的な接続を確保し、高密度な実装を可能とした半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】近年、半導体装置およびその製造方法は、電子機器の小型化、高機能化に伴い、小型化、高密度化、高速化を要求されるようになってきている。例えば、メモリー用パッケージとして、LOC（リード・オン・チップ）あるいはSON（スモール・アウトライン・ノンリード）、特表平06-504408号公報に開示されているTAB（テープ・オートメテッド・ボンディング）テープを利用したμBGA（マイクロ・ボール・グリッド・アレイ）等のパッケージが開発されている。

【0003】以下、従来のμBGAと呼ばれる半導体装置およびその製造方法について図面を参照しながら説明する。

【0004】図7は、従来のμBGAと呼ばれる半導体装置を示す断面図である。図8は、図7に示した従来の半導体装置のソルダーレジスト8および金属ボール9を除いた状態の上面図である。

【0005】図7および図8に示すように、従来の半導体装置100は、半導体基板1、半導体基板1上に形成された半導体装置電極2、半導体基板1上に形成された低弾性材料膜3、低弾性材料膜3上に形成された柔軟性シート4、柔軟性シート4の表面に形成された外部電極5、柔軟性シート4上に形成され、外部電極5と電気的に接続された金属配線6、金属配線6を半導体装置電極2まで延設し接合した部分リード7、柔軟性シート4と金属配線6とを被覆し、外部電極5を開口したソルダーレジスト8、および外部電極5上に接合された金属ボール9を備える。

【0006】図7に示すように、従来のμBGAと呼ばれる半導体装置100は、半導体基板1上に低弾性材料膜3を介して柔軟性シート4が接合された構造であり、半導体装置電極2と柔軟性シート4の表面上の外部電極5とが、金属配線6および部分リード7によって電気的に接続されたものである。

【0007】次に、従来の半導体装置の製造方法を説明する。

【0008】まず、半導体基板1上に低弾性材料膜3を形成する。低弾性材料膜3は、絶縁性材料であり且つ接着性を有する。

【0009】次に、低弾性材料膜3の上面を覆うように柔軟性シート4を形成する。このとき、柔軟性シート4としては、上面上に予め外部電極5、金属配線6および部分リード7が形成され、柔軟性シート4と金属配線6とを被覆し、外部電極5上にわたる領域を開口したソル

ダーレジスト8が形成されたものを使用する。

【0010】次に、TAB（テープ・オートメテッド・ボンディング）作業を行なうために通常用いられる従来の熱圧着または超音波ボンディング技術を用いて、部分リード7と半導体装置電極2とを電気的に接続する。

【0011】次に、柔軟性シート4上の外部電極5の上にハンダ等の金属ボール9を接合する。

【0012】以上の方法によって、従来のμBGAと呼ばれる半導体装置100を製造している。

## 【0013】

【発明が解決しようとする課題】金属配線6は、それぞれ特性インピーダンスを有する。特性インピーダンスとは、配線が無限に長いとしたときの各点における2線間の電圧と電流の比であり、場所によらず伝送線に固有な量である。特性インピーダンスをI、配線の単位長さあたりの静電容量をC、インダクタンスをLとすると

$$I = (L/C)^{1/2} \quad (1)$$

と表わされる。

【0014】従来のμBGAと呼ばれる半導体装置100では、半導体装置電極2と外部電極5とを電気的に接続する金属配線6の周囲に、シールド機能を有する部材が存在しない。従って、半導体装置電極2から外部電極5に高速信号を伝送すると、金属配線6の間で互いに配線間カップリングが生じ、それぞれの金属配線6の静電容量Cが不均一になる。このため、上記式(1)から分かるように、特性インピーダンスも大きく変動してしまう。従って、半導体装置電極2から外部電極5の間に高速信号を伝送すると、信号の反射および損失が大きいという不具合がある。

【0015】さらに、金属配線6の特性インピーダンスが各配線で不均一であることから、金属配線6を通じて伝送されるそれぞれの信号の過渡特性が、各配線において異なる。このため、例えば、2つの高速信号の同期をとる必要がある半導体装置の入力回路として、外部電極5から半導体装置電極2までの距離を等しく設計した2本の金属配線を用いたとしても、2本の金属配線を通じて伝送される各信号の過渡特性の差によって、入力回路の応答時間に差が生じ、半導体装置が正常に動作する余裕が小さくなるという不具合がある。

【0016】本発明は、上記不具合を解決するためになされたものであり、金属配線の特性インピーダンスをほぼ一定に維持し、信号の反射および損失を低減した半導体装置およびその製造方法を提供することを目的とする。

## 【0017】

【課題を解決するための手段】本発明の半導体装置は、半導体回路を備える半導体基板と、上記半導体基板上に設けられ、上記半導体回路に接続された内部電極と、上記半導体基板の表面上のうち、上記内部電極を除く領域に形成された保護膜と、上記保護膜を覆うように

形成された第1シールド配線と、上記第1シールド配線を覆うように形成された第1絶縁膜と、上記第1絶縁膜上に形成され、上記内部電極に接続された金属配線と、上記金属配線と電気的に接続された外部電極と、上記金属配線を覆うように形成された第2絶縁膜と、上記第2絶縁膜を覆うように形成された第2シールド配線とを備える。

【0018】本発明によれば、内部電極と外部電極とを電気的に接続する金属配線の周囲に、シールド配線を設けた構造とすることによって、信号伝送時の金属配線の特性インピーダンスをほぼ一定に維持することができる。

【0019】上記内部電極の上部は、導体バリア膜であり、上記第1シールド配線と上記導体バリア膜とは、1つの導体膜をパターンニングすることによって同時に形成されている。

【0020】このことによって、第1シールド配線と導体バリア膜とを同じ工程で形成するので、半導体装置の製造工程を削減することができる。

【0021】上記第1絶縁膜は、上記第1シールド配線を貫通して上記保護膜と接着されているプラグ部を備える。

【0022】このことによって、第1絶縁膜はプラグ部を介して保護膜に直接密着するので、第1絶縁膜と保護膜との密着強度が向上する。

【0023】上記外部電極上に金属ボールを接合することによって、 $\mu$ BGAを容易に得ることができる。

【0024】上記内部電極は、少なくとも1つの基準電位電極を含み、上記第1シールド配線と上記第2のシールド配線とは、上記基準電位電極と電気的に接続されている。

【0025】このことによって、第1シールド配線および第2のシールド配線の電位は、基準電位と等しくなる。従って、信号伝送時の金属配線の特性インピーダンスをより安定に維持することができる。

【0026】上記金属配線が、その上下において、それぞれ上記第1絶縁膜と上記第2絶縁膜とを挟んで、上記第1シールド配線と上記第2シールド配線とに対向してなるストリップライン構造を構成している。

【0027】本発明によれば、金属配線の上下に、それぞれ上記第1絶縁膜と上記第2絶縁膜とが配置され、さらにその上下に第1シールド配線と第2シールド配線とが配置されるので、容易にストリップライン構造を有する半導体装置を得ることができる。

【0028】上記金属配線のうち2本以上の配線は、特性インピーダンスが等しい。

【0029】このことによって、それぞれの金属配線を同一条件で終端処理し、駆動した場合、それぞれの金属配線を伝送される信号の過渡応答をほぼ正確に合致させることができる。このため、例えば2つの高速信号の同

期をとる必要がある半導体装置の入力回路に、半導体装置の外部電極から半導体装置電極までの距離を等しく設計した金属配線を用いることによって、入力回路の応答時間をほぼ等しくすることができ、半導体装置が正常に動作する余裕を大きくすることができる。

【0030】上記導体バリア膜と上記第1絶縁膜とは、互いに選択的にエッチングが可能な材料により構成されていることが好ましい。

【0031】金属配線の形成に先立って、基板表面を選択的にエッチングすることによって、第1絶縁膜の表面を微細に粗化することができる。このことによって、第1絶縁膜と金属配線との密着強度を向上させることができる。また、導体バリア膜および第1シールド配線の表面に残っている第1絶縁膜の現像残渣を除去することができる。

【0032】また、上記金属配線と上記第2シールド配線とは、互いに選択的にエッチングが可能な材料により構成されていることが好ましい。

【0033】このことによって、第2シールド配線をエッチングする際に、金属配線がエッチングされることを防止することができる。

【0034】本発明の半導体装置の製造方法は、半導体回路を有する半導体基板と、上記半導体基板の上面上に設けられ、上記半導体回路に接続された内部電極と、上記半導体基板の上面上の上記内部電極を除く領域に形成された保護膜とを備える基板を用意する工程(a)と、上記工程(a)の後、基板上に導体膜を形成する工程(b)と、上記導体膜をパターンニングすることによって、上記内部電極上の少なくとも一部を覆う導体バリア膜と、上記保護膜の一部を覆う第1シールド配線とを形成する工程(c)と、上記工程(c)の後、基板上に第1絶縁膜を堆積する工程(d)と、上記第1絶縁膜をパターンニングすることによって、上記導体バリア膜の少なくとも一部を露出させる工程(e)と、上記第1絶縁膜上に、上記導体バリア膜に接続された金属配線を形成する工程(f)と、上記工程(f)の後、基板上に第2絶縁膜を形成する工程(g)と、上記工程(g)の後、基板上に第2シールド配線を形成する工程(h)とを含む。

【0035】本発明の半導体装置の製造方法によれば、内部電極と外部電極とを電気的に接続する金属配線の周囲に、シールド配線を設けた構造を有し、信号伝送時の金属配線の特性インピーダンスをほぼ一定に維持することが可能な半導体装置が得られる。

【0036】上記工程(c)の途中または後で、上記第1シールド配線に開口部を形成する工程をさらに含むことが好ましい。

【0037】このことによって、第1絶縁膜は開口部内にプラグ部を形成し、このプラグ部を介して開口部の内部で保護膜に直接密着する。従って、開口部が形成され

ていない場合と比較して、第 1 絶縁膜と保護膜との密着強度が高くなる。

【0038】上記工程 (h) の前に、上記第 2 絶縁膜を貫通して上記金属配線に到達する第 1 開口部を形成する工程 (i) と、上記工程 (h) の後で、基板上に第 3 絶縁膜を形成する工程 (j) と、上記第 3 絶縁膜を貫通して、上記第 1 開口部及びその周辺に位置する上記第 2 シールド配線に到達する第 2 開口部を形成する工程 (k) と、上記第 3 絶縁膜をエッチングマスクとして、上記第 2 シールド配線のうちの上記第 2 開口部内に位置する部分を除去することによって、外部電極を形成する工程 (l) とをさらに含むことが好ましい。

【0039】第 3 絶縁膜をエッチングマスクとしても使用して、第 2 シールド配線の不要部分をエッチング除去するので、レジストマスクを別途形成する工程を削減することができ、より低コストで半導体装置を提供することができる。

【0040】上記工程 (l) の後に、上記外部電極上に金属ボールを接合する工程をさらに含んでもよい。

【0041】

【発明の実施の形態】以下、本発明の実施形態について図を参照しながら説明する。

【0042】図 1 は、本実施形態の半導体装置 10 の各部を透視するように示した斜視図である。図 2 は、図 1 に示した線 I-I に沿った本実施形態の半導体装置の断面図である。

【0043】図 1 および図 2 に示すように、本実施形態の半導体装置 10 は、半導体回路が設けられた半導体基板 21 を備える。半導体基板 21 の上面には、半導体回路に接続された電極 22 と、基準電位電極 23 とが形成されており、さらに半導体基板 21 の上面を覆うように形成されたパッシベーション膜 24 が形成されている。さらに、パッシベーション膜 24 を貫通し、電極 22 を露出する開口部 (不図示) が形成されている。

【0044】電極 22 上には、開口部 (不図示) を埋めるように金属製バリア膜 25 が形成されている。また、パッシベーション膜 24 上には、第 1 シールド配線 26 と第 1 シールド配線 26 を貫通する複数の開口部 27 とが形成されている。

【0045】さらに基板上には、第 1 絶縁膜 28 が形成されている。第 1 絶縁膜 28 は、図 2 に示すように、開口部 27 を埋めるプラグ部 27a を有している。第 1 絶縁膜 28 とパッシベーション膜 24 とは、プラグ部 27a を介して接着している。また、第 1 絶縁膜 28 を貫通し、金属製バリア膜 25 の一部および第 1 シールド配線 26 の一部を露出させる開口部 29 が形成されている。

【0046】第 1 絶縁膜 28 の上には、金属配線 30 および外部電極 31 が形成されている。金属配線 30 は、開口部 29 を通じて金属製バリア膜 25 および第 1 シールド配線 26 に接続されている。さらに、金属配線 30

は、外部電極 31 に電氣的に接続されている。ここで、図 1 に示す金属配線 30 のうち、金属配線 30a と 30b は、配線距離が等しい金属配線である。

【0047】さらに図 1 および図 2 に示すように、基板上には、第 2 絶縁膜 32 と、第 2 絶縁膜 32 を貫通して外部電極 31 の上面を露出させる開口部 33 と、第 2 絶縁膜 32 を貫通して金属配線 30 の上面の一部を露出させる開口部 34 とが形成されている。

【0048】第 2 絶縁膜 32 の上には、第 2 シールド配線 35 が形成されている。第 2 シールド配線 35 は、第 2 絶縁膜 32 を被覆するように形成されており、開口部 34 を通じて金属配線 30 に接続されている。第 2 シールド配線 35 上にはソルダーレジスト 36 が形成されている。開口部 33 には、金属ボール 37 が外部電極端子 31 上に載置されている。

【0049】第 1 シールド配線 26 と第 2 シールド配線 35 とは、それぞれ基準電位電極 23 と電氣的に接続されている。

【0050】つまり、本実施形態の半導体装置 10 は、電極 22 と外部電極 31 とを電氣的に接続する金属配線 30 の上下の層に、基準電位電極 23 に接続された第 1 シールド配線 26 と第 2 シールド配線 35 とを設けることによってストリップライン構造を有している。

【0051】金属配線 30 は、それぞれ特性インピーダンスを有する。特性インピーダンスとは、配線が無限に長いとしたときの各点における 2 線間の電圧と電流の比であり、場所によらず伝送線に固有な量であり、上述の式 (1) のように表わされる。

【0052】本実施形態の半導体装置のように、金属配線 30 の上下の層に、基準電位となる第 1 シールド配線 26 および第 2 シールド配線 35 が設けられていると、高速信号伝送時の互いに隣接する金属配線 30 同士の配線間カップリングが抑制される。このことによって、金属配線 30 の特性インピーダンスがほぼ一定に保たれる。

【0053】上述のように、本実施形態の半導体装置 10 は、電極 22 と外部電極 31 とを電氣的に接続する金属配線 30 の上下の層に、基準電位電極 23 に接続された第 1 シールド配線 26 と第 2 シールド配線 35 とを設けることによってストリップライン構造を有し、このことによって、高速信号伝送時の金属配線 30 の特性インピーダンスをほぼ一定に維持している。このため、金属配線 30 において、信号の反射および損失を軽減することができる。また、信号の反射および損失を軽減するので、半導体装置 10 の周囲への電磁波の漏洩を低減し、半導体装置 10 自体への雑音の混入を減少させることもできる。

【0054】さらに、金属配線 30 の特性インピーダンスがほぼ等しくなっているので、それぞれの金属配線 30 を同一条件で終端処理し、駆動した場合、それぞれの

金属配線を伝送される信号の過渡応答をほぼ正確に合致させることができる。このため、例えば2つの高速信号の同期をとる必要がある半導体装置10の入力回路として、外部電極31から半導体装置電極22までの距離を等しく設計した金属配線30aおよび30bを用いることによって、入力回路の応答時間がほぼ等しくなり、半導体装置10が正常に動作する余裕を大きくすることができる。

【0055】なお、ここでは2本の金属配線30aおよび30bの特性インピーダンスが等しい場合について説明したが、2本以上の金属配線30の特性インピーダンスが等しい場合についても同様である。

【0056】次に、本実施形態の半導体装置の製造方法について、図を参照しながら説明する。図3～図6は、本実施形態の半導体装置の製造方法における工程を示す断面図である。

【0057】まず、図3(a)に示す工程で、Alからなる電極22および基準電位電極23と、パッシベーション膜24とが形成されており、パッシベーション膜24を貫通し、電極22および基準電位電極23を露出する開口部(不図示)が上面に形成された半導体基板21を用意する。この半導体基板21上に、第1金属薄膜38をスパッタリング法を用いて形成する。第1金属薄膜38は、パッシベーション膜24の開口部を經由して電極22と基準電位電極23とに電気的に接続する。ここで形成した第1金属薄膜38は、下層と上層とからなる2層構造を有する。本実施形態では、第1金属薄膜38の下層には、パッシベーション膜24および電極22と強い密着強度を有し、第1金属薄膜38の上層の金属のエッチング液に対するバリア性を有する金属を用いる。本実施形態では、第1金属薄膜38の下層の金属としてTi-W合金膜を用いている。第1金属薄膜38の上層には、シールド機能を有する低抵抗率の金属が好ましく、本実施形態ではCu膜を用いている。第1金属薄膜38の下層を構成するTi-W合金膜の厚さは、Cuエッチング液に対するバリア性の観点から0.1μm以上とすることが好ましく、また析出応力とエッチングの容易さとの観点から0.5μm以下にすることが好ましい。本実施形態では0.2μmとしている。第1金属薄膜38の上層を構成するCu膜の厚さは、電気抵抗の観点から0.3μm以上とすることが好ましく、また析出応力とエッチングの容易さとの観点から1.0μm以下とすることが好ましい。本実施形態では0.5μm程度に形成している。

【0058】なお、第1金属薄膜38と電極22との接触抵抗を低減するために、第1金属薄膜38のスパッタリングに先立って、Arガスによるドライエッチングを用いて、Alからなる電極22上のAl酸化膜を除去することが好ましい。ドライエッチング量は、Si熱酸化膜の厚さに換算して10nm～30nm程度であり、好

ましくは20nm程度である。Arガスによるドライエッチング後に、電極22上にAl酸化膜が再び形成されることを防止するため、Arガスによるドライエッチングから第1金属薄膜38のスパッタリングまでの工程は真空中で行なう。

【0059】次に、図3(b)に示す工程で、第1金属薄膜38上にポジ型感光性レジストを塗布する。その後、乾燥、露光および現像することによりレジストパターン39を形成する。レジストパターン39は、0.5μm～2.0μmの範囲内の厚さで形成し、好ましくは1.0μm程度の厚さに形成する。

【0060】次に、図3(c)に示す工程で、レジストパターン39をマスクとするウエットエッチングを行なうことによって、第1金属薄膜38をパターンニングする。このことによって、電極22を被覆する金属製バリア膜25と、基準電位電極23に電気的に接続された第1シールド配線26と、パッシベーション膜24を露出する開口部27とを形成する。

【0061】上記工程におけるウエットエッチングでは、第1金属薄膜38の上層を構成するCu膜のエッチング液として、過硫酸ナトリウム水溶液を用い、第1金属薄膜38の下層を構成するTi-W合金膜のエッチング液として、過酸化水素を用いる。レジストパターン39は、第1金属薄膜38のエッチング後に剥離する。

【0062】次に、図3(d)に示す工程で、感光性絶縁材料を半導体基板21上に塗布し、その後、乾燥、露光および現像することによってパターンニングし、第1絶縁膜28と、第1絶縁膜28を貫通して金属製バリア膜25および第1シールド配線26を露出する開口部29とを形成する。

【0063】この工程で、第1絶縁膜28は、金属製バリア膜25と第1シールド配線26とに密着する。同時に、第1絶縁膜28には、開口部27を埋めるプラグ部27aが形成される。第1絶縁膜28は、このプラグ部27aを介して開口部27の内部でパッシベーション膜24に直接密着する。このことによって、開口部27が形成されていない場合と比較して、第1絶縁膜26とパッシベーション膜24との密着強度が向上する。

【0064】第1絶縁膜28は、塗付したときの平坦性維持と、露光および現像性との観点から5μm～50μm程度の膜厚で形成し、好ましくは30μm程度の膜厚で形成する。

【0065】感光性絶縁材料としては、エステル結合型ポリイミド、アクリレート系エポキシ等のポリマー材料を用いればよく、特に限定されない。

【0066】次に、図4(a)に示す工程で、基板上に、第2金属薄膜40をスパッタリング法により形成する。このとき、第2金属薄膜40のスパッタリングに先立って、基板表面のプラズマ処理を行なうことによって、第1絶縁膜28の表面を微細に粗化する。このこと

によって、第1絶縁膜28と第2金属薄膜40との密着強度を向上させるとともに、開口部29内に露出する金属製バリア膜25および第1シールド配線26の表面に残っている第1絶縁膜28の現像残渣を除去し、金属製バリア膜25および第1シールド配線26と、第2金属薄膜40との接触抵抗を低下させることができる。プラズマ処理の条件（処理方法、反応ガスなど）は、金属製バリア膜25および第1シールド配線26をほとんどエッチングせず、第1絶縁膜28の表面を選択的に粗化エッチングできるものであればよい。本実施形態では、R I E (Reactive Ion Etching) 処理法およびO<sub>2</sub>ガスの組み合わせを用いる。

【0067】第2金属薄膜40は、下層と上層とからなる2層構造を有する。本実施形態の第2金属薄膜40の下層には、第1絶縁膜28、金属製バリア膜25および第1シールド配線26と強い密着強度を有し、且つ、第2金属薄膜40の上層の金属のエッチング液に対するバリア性を有する金属を用いる。本実施形態では、第2金属薄膜40の下層の金属としてTi-W合金膜を用いている。第2金属薄膜40の上層には、電解めっきのシールド層としての機能を有する低抵抗率の金属が必要であり、本実施形態ではCu膜を用いている。第2金属薄膜40の下層を構成するTi-W合金膜の厚さは、Cuエッチング液に対するバリア性の観点から0.1μm以上であることが好ましく、析出応力とエッチングの容易さとの観点から0.5μm以下であることが好ましい。本実施形態では0.2μmとしている。第2金属薄膜40の上層を構成するCu膜の厚さは、電気抵抗の観点から0.3μm以上であることが好ましく、析出応力とエッチングの容易さの観点から1.0μm以下であることが好ましい。本実施形態では0.5μm程度に形成している。

【0068】次に、図4(b)に示す工程で、基板上にポジ型感光性レジストを塗布し、乾燥、露光および現像することによって、めっきレジスト41を形成する。後行程の電解Cuめっき厚を5μm〜15μmとするために、めっきレジスト41の厚さは、20μm程度に形成する。その後、O<sub>2</sub>ガスを用いたプラズマ処理によって、めっきレジスト41の現像残渣を除去する。

【0069】次に、図4(c)に示す工程で、電解Cuめっき法により、めっきレジスト41が形成された領域以外の領域、つまり第2金属薄膜40が露出している領域の上に金属膜42を選択的に形成する。金属膜42は、電気抵抗と機械的強度の観点から5μm〜15μmの厚さに形成し、好ましくは10μm程度の厚さに形成する。

【0070】次に、図5(a)に示す工程で、めっきレジスト41を剝離除去することによって、第2金属薄膜40を露出する開口部43を形成する。更にO<sub>2</sub>ガスによるプラズマ処理によって、開口部43内のめっきレジ

スト41の剝離残渣を除去する。

【0071】次に、図5(b)に示す工程で、第2金属薄膜40と金属膜42とをCuエッチング液（例えば、過硫酸ナトリウム水溶液）を用いてエッチングする。このことによって、金属膜42よりも膜厚が薄く、開口部43内に露出した第2金属薄膜40の上層のCu膜が先行して除去される。次いで、開口部43内に露出した第2金属薄膜40の下層（Ti-W合金膜）と金属膜42とをTi-W合金エッチング液（例えば、過酸化水素水）を用いてエッチングすることによって、開口部43内に第1絶縁膜28の表面が露出する。また、開口部43を除く領域には、金属膜42と第2金属薄膜40との積層体である金属配線30が形成される。

【0072】次に、図5(c)に示す工程で、感光性絶縁材料を基板上に塗布し、その後、乾燥、露光および現像することによりパターニングすることによって、第2絶縁膜32と、金属配線30を露出する開口部33および開口部34を形成する。このとき、開口部33内に露出している金属配線30は外部電極31となる。

【0073】第2絶縁膜32は、塗付したときの平坦性維持と、露光および現像性の観点から5μm〜50μmの膜厚に形成し、好ましくは30μm程度に形成する。

【0074】また、感光性絶縁材料としては、エステル結合型ポリイミド、アクリレート系エポキシ等のポリマー材料を用いればよく、特に限定されない。

【0075】次に、図5(d)に示す工程で、基板上に第3金属薄膜44をスパッタリング法によって形成する。このとき、第3金属薄膜44のスパッタリングに先立って、プラズマ処理によって第2絶縁膜32の表面を微細に粗化する。このことによって、第2絶縁膜32と第3金属薄膜44との密着強度を向上させるとともに、開口部33内に露出する外部電極29、開口部34内に露出する金属配線30の表面に残った第2絶縁膜32の現像残渣を除去する。プラズマ処理の条件（処理方法、反応ガスなど）は、上層がCu膜からなる金属配線30をほとんどエッチングせず、第2絶縁膜32の表面を選択的に粗化エッチングできるものであればよい。本実施形態では、R I E 処理法およびO<sub>2</sub>ガスの組み合わせを用いる。

【0076】第3金属薄膜44は、下層と上層とからなる2層構造を有する。第3金属薄膜44の下層には、第2絶縁膜32や金属配線層28と強い密着強度を有し、且つ第3金属薄膜44の上層の金属のエッチング液に対するバリア性を有する金属を用いる。本実施形態では、第3金属薄膜44の下層の金属としてTi-W合金膜を用いている。第3金属薄膜44の上層には、シールド機能を有する低抵抗率の金属が好ましく、本実施形態ではCu膜を用いている。第3金属薄膜44の下層を構成するTi-W合金膜の厚さは、Cuエッチング液に対するバリア性の観点から0.1μm以上であることが好まし

く、析出応力とエッチングの容易さの観点から  $0.5\mu\text{m}$  以下であることが好ましい。本実施形態では、 $0.2\mu\text{m}$  程度としている。第3金属薄膜44の上層を構成するCu膜の厚さは、電気抵抗の観点から  $0.3\mu\text{m}$  以上であることが好ましく、析出応力とエッチングの容易さの観点から  $1.0\mu\text{m}$  以下であることが好ましい。本実施形態では、 $0.5\mu\text{m}$  程度に形成している。

【0077】次に、図6(a)に示す工程で、基板上に感光性絶縁材料を塗布し、その後、乾燥、露光および現像することによりソルダーレジスト36と、第3金属薄膜44を露出する開口部45とを形成する。この開口部45は、上記した開口部33と同じ位置に形成される。感光性絶縁材料としては、エステル結合型ポリイミド、アクリレート系エポキシ等のポリマー材料を用いればよく、特に限定されない。

【0078】ソルダーレジスト36の膜厚は、耐熱性と機械強度の観点から  $10\mu\text{m}$  以上であることが好ましく、また露光および現像性の観点から  $50\mu\text{m}$  以下であることが好ましい。本実施形態では、ソルダーレジスト36を  $30\mu\text{m}$  程度の膜厚で形成している。

【0079】次に、図6(b)に示す工程で、ソルダーレジスト36をマスクとするウェットエッチングを行なうことによって、第3金属薄膜44をパターニングし、第2シールド配線35を形成する。この工程におけるウェットエッチングでは、第3金属薄膜44の上層を構成するCu膜のエッチング液として、過硫酸ナトリウム水溶液を用い、第3金属薄膜44の下層を構成するTi-W合金膜のエッチング液として、過酸化水素を用いる。このことによって、第3金属薄膜44の下層を構成するTi-W合金膜と、金属配線30の上層を構成するCu膜とが、同時にエッチングされることを防止することができる。

【0080】この工程で形成された第2シールド配線35は、上記の図5(c)に示す工程で形成された開口部33および開口部34を通じて金属配線30に電気的に接続されている。金属配線30と、基準電位電極23および第1シールド配線26とは電気的に接続されているので、第1シールド配線26と第2シールド配線35とは、常に基準電位となる。

【0081】次に、図6(c)に示す工程で、外部電極31上にバリアメタル膜(不図示)として厚さ  $5\mu\text{m}$  程度のNi膜と、厚さ  $0.05\mu\text{m}$  程度のAu膜とを、それぞれ無電解めっきによって形成する。次いで、開口部45内に露出した外部電極31上に金属ボール37を載置する。この載置された金属ボール37を外部電極31に溶融接合することによって、半導体装置10が得られる。なお、金属ボール37の材料としては、ハンダ、銅、ニッケルあるいはハンダメッキされた他の金属でも一向に構わない。

【0082】上述のように、本実施形態の半導体装置の

製造方法によれば、上記図6(b)に示す工程で、ソルダーレジスト36をマスクとするウェットエッチングを行なうことによって、第3金属薄膜44のうち、開口部45(33)に露出した外部電極31上に形成された部分を除去し、第2シールド配線35と形成する。このことによって、第2シールド配線35と形成するためのレジストマスクを別途形成する工程を削減することができ、半導体装置を製造するコストを低減することができる。

【0083】なお、本実施形態では、第1金属薄膜38、第2金属薄膜40および第3金属薄膜44として、下層がTi-W合金膜、上層がCu膜である積層膜を用いたが、Ti-W合金膜に代えて、Ti膜もしくはCr膜を用いてもよい。

【0084】また、本実施形態では、めっきレジスト41の形成にポジ型感光性レジストを用いたが、ネガ型感光性レジストを用いても良い。

【0085】また、本実施形態では、Cuエッチング液として過硫酸ナトリウム水溶液を用いたが、過硫酸ナトリウム水溶液の代わりに塩化第二鉄溶液、塩化第二銅溶液、 $\text{Cu}(\text{NH}_3)_4\text{Cl}_2$  溶液等を用いてもよい。

【0086】

【発明の効果】本発明によれば、半導体装置電極と外部電極とを電気的に接続する金属配線層の上下の層に、基準電位となるシールド層を設けた構造とすることによって、高速信号伝送時の金属配線層の特性インピーダンスをほぼ一定とすることができる。このため、信号の反射および損失を軽減するとともに、半導体装置の周囲への電磁波の漏洩や半導体装置への雑音の混入も減少させることができる。

【図面の簡単な説明】

【図1】本発明の実施形態による半導体装置の各部を透視するように示した斜視図である。

【図2】図1に示した線I-Iに沿った半導体装置の断面図である。

【図3】(a)～(d)は、本発明の実施形態による半導体装置の製造方法における工程を示す断面図である。

【図4】(a)～(c)は、本発明の実施形態による半導体装置の製造方法における工程を示す断面図である。

【図5】(a)～(d)は、本発明の実施形態による半導体装置の製造方法における工程を示す断面図である。

【図6】(a)～(c)は、本発明の実施形態による半導体装置の製造方法における工程を示す断面図である。

【図7】従来の半導体装置を示す断面図である。

【図8】従来の半導体装置の上面図である。

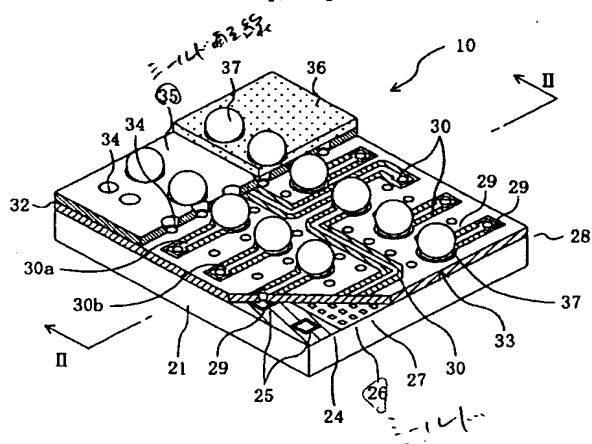
【符号の説明】

- 1 半導体基板
- 2 電極
- 3 低弾性材料膜
- 4 柔軟性シート

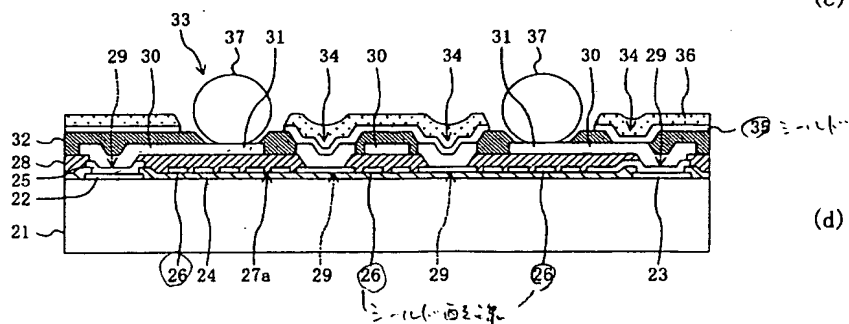
- 5 外部電極
- 6 金属配線
- 7 部分リード
- 8 ソルダーレジスト
- 9、37 金属ボール
- 10、100 半導体装置
- 21 半導体基板
- 22 電極
- 23 基準電位電極
- 24 パッシベーション膜
- 25 金属製バリア膜
- 26 第1シールド配線
- 27、29、33、34、43、45 開口部

- 27a プラグ部
- 28 第1絶縁膜
- 30、30a、30b 金属配線
- 31 外部電極
- 32 第2絶縁膜
- 35 第2シールド配線
- 36 ソルダーレジスト
- 38 第1金属薄膜
- 39 レジストパターン
- 40 第2金属薄膜
- 41 めっきレジスト
- 42 金属膜
- 44 第3金属薄膜

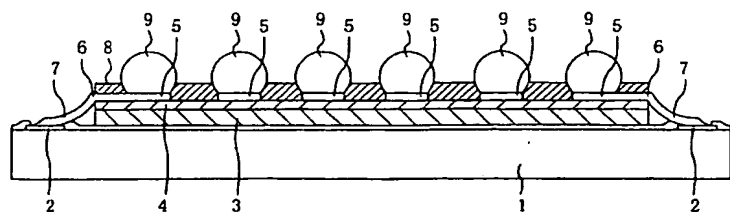
【図1】



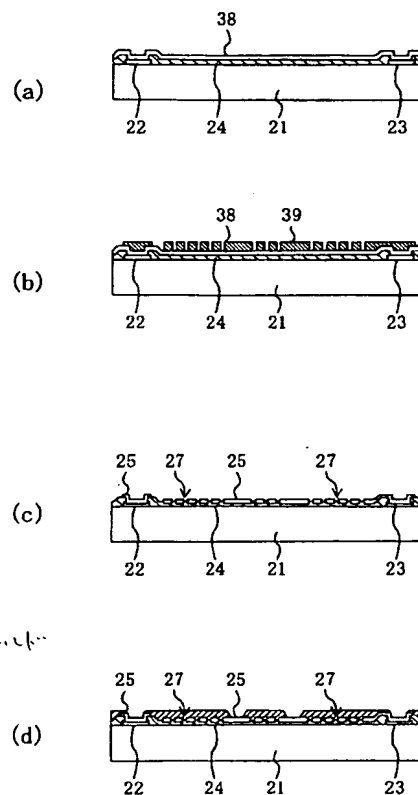
【図2】



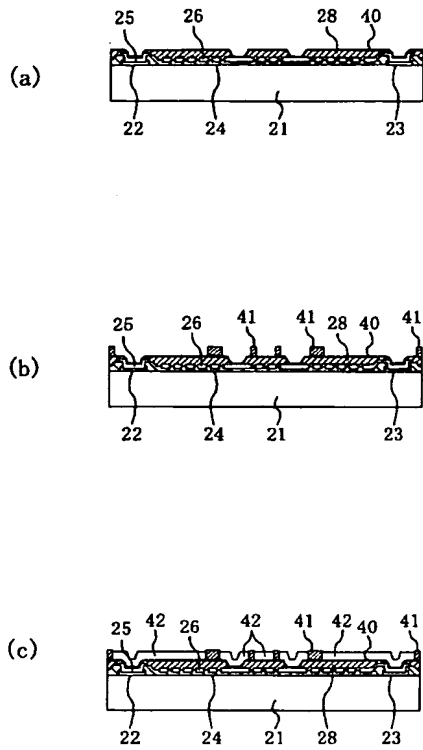
【図7】



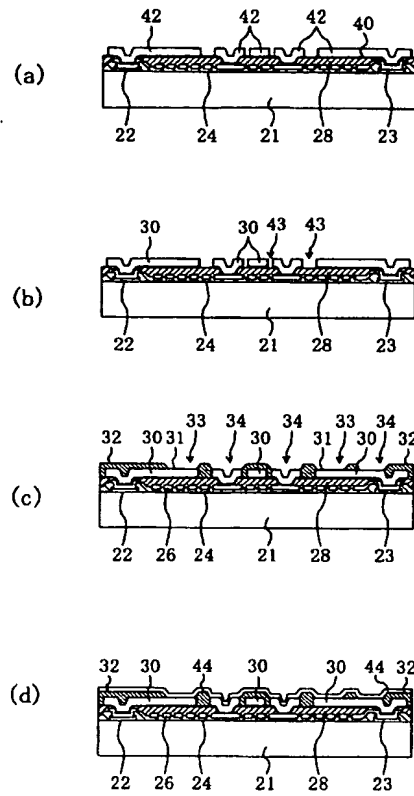
【図3】



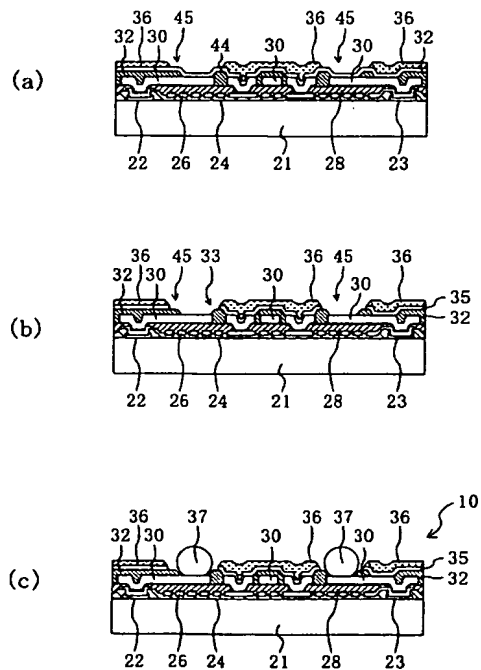
【図4】



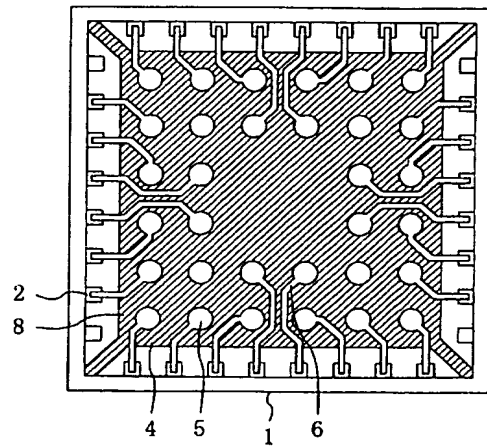
【図5】



【図6】



【図8】



フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
		H 0 1 L 21/92	6 0 4 J
(72) 発明者	戒能 憲幸 大阪府門真市大字門真1006番地 松下電器 産業株式会社内	F ターム (参考)	5F033 HH07 HH11 HH13 HH17 HH18 HH23 JJ01 JJ11 JJ17 JJ18 JJ23 KK07 KK08 KK11 KK18
(72) 発明者	中村 嘉文 大阪府門真市大字門真1006番地 松下電器 産業株式会社内		KK23 MM05 MM13 NN06 NN07 PP15 PP27 PP28 PP33 QQ00 QQ08 QQ09 QQ11 QQ19 QQ37
(72) 発明者	隈川 隆博 大阪府門真市大字門真1006番地 松下電器 産業株式会社内		QQ94 QQ98 RR22 RR27 SS22 TT03 VV03 VV05 VV07 XX00 XX10 XX12 XX21 XX27 XX33
(72) 発明者	渡瀬 和美 大阪府門真市大字門真1006番地 松下電器 産業株式会社内		XX34 5F038 BE07 BH10 BH19 CA06 CA07 CA10 EZ14 EZ15

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**